



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Patentschrift
10 DE 101 46 509 C 2

61 Int. Cl. 7:
H 03 K 5/24

21 Aktenzeichen: 101 46 509.2-42
22 Anmeldetag: 21. 9. 2001
43 Offenlegungstag: 24. 4. 2003
45 Veröffentlichungstag
der Patenterteilung: 31. 7. 2003

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:
Infineon Technologies AG, 81669 München, DE

74 Vertreter:
Wilhelm & Beck, 80636 München

72 Erfinder:
Kandolf, Helmut, 81669 München, DE; Braun,
Georg, 80339 München, DE

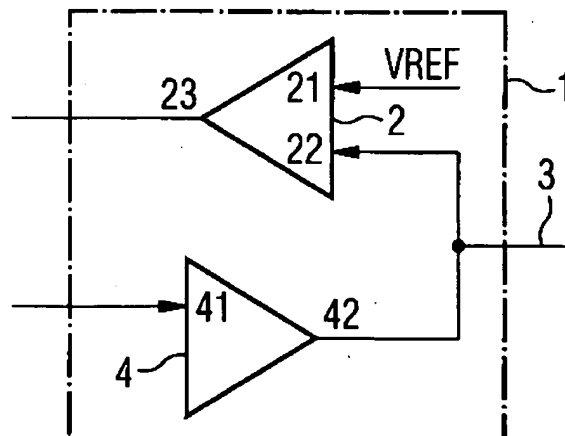
55 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 53 62 994
US 46 49 301
EP 04 67 675 A2
JP 01-2 23 754 AA

54 Integrierte Schaltung mit einer Eingangsschaltung

57 Integrierte Schaltung mit einer Eingangsschaltung (1, 11, 12) zum Empfangen eines Signals über eine Busleitung (3, 3', 3''), wobei die Eingangsschaltung (1, 11, 12) eine einstellbare Referenzspannungsquelle (9) zum Bereitstellen einer Referenzspannung (V_{Ref}) und eine Vergleicherschaltung (2, 2', 2'') umfasst, wobei an einen ersten Eingang (21) der Vergleicherschaltung (2, 2', 2'') die Referenzspannung (V_{Ref}) angelegt ist und an einen zweiten Eingang der Vergleicherschaltung (22) das Signal angelegt ist, um einen Spannungspegel des Signals mit der Referenzspannung (V_{Ref}) zu vergleichen, wobei die Vergleicherschaltung (2, 2', 2'') abhängig von dem Vergleichsergebnis einen Signalwert zur Verfügung stellt, wobei die Referenzspannungsquelle (9) die einstellbare Referenzspannung an einem Ausgang zur Verfügung stellt, wobei die Referenzspannungsquelle (9) ein oder mehrere erste Transistoren (7, 71, 72, 73, 74) aufweist, die jeweils mit einem ersten Anschluss mit einem ersten Versorgungspotenzial (VDD) verbunden sind und mit einem zweiten Anschluss mit dem Ausgang (21) verbunden sind, wobei die Referenzspannungsquelle (9) zweite Transistoren (8, 81, 82, 83, 84) aufweist, die jeweils mit einem ersten Anschluss mit einem zweiten Versorgungspotenzial (GND) verbunden sind und mit einem zweiten Anschluss mit dem Ausgang verbunden sind, wobei über die Steueranschlüsse (S3, S4) der ersten und der zweiten Transistoren (7, 71, 72, 73, 74, 8, 81, 82, 83, 84) jeweils mindestens einer der ersten Transistoren (7, 71, 72, 73, 74) und mindestens einer der zweiten Transistoren (8, 81, 82, 83, 84) auf Durchlass schaltbar sind und wobei die Referenzspannung (V_{Ref}) durch eine Zusammenschaltung der Durchlasswiderstände der auf Durchlass geschalteten ersten (7, 71, 72, 73, 74) und der auf Durchlass geschalteten zweiten Transistoren (8, 81, 82, 83, 84) einstellbar ist, dadurch gekennzeichnet, dass der zweite Eingang (22) der Vergleichereinrichtung (2, 2', 2'') mit einer Terminierungsschaltung (4, 4', 4'') verbunden ist, wobei die Terminierungsschaltung (4, 4', 4'') einen einstellbaren Abschlusswiderstand für das Signal auf der

Busleitung (3, 3', 3'') zur Verfügung stellt, wobei die Terminierungsschaltung (4, 4', 4'') ein oder mehrere dritte Transistoren (5, 51, 52, 53, 54) aufweist, die jeweils mit einem ersten Anschluss mit einem weiteren ersten Versorgungspotenzial (VDD) verbunden sind und mit einem zweiten Anschluss mit der Busleitung (3, 3', 3'') verbunden sind, wobei die Terminierungsschaltung (4, 4', 4'') vierte Transistoren (6, 61, 62, 63, 64) aufweist, die jeweils mit einem ersten Anschluss mit einem weiteren zweiten Versorgungspotenzial (GND) verbunden sind und mit einem zweiten Anschluss mit der Busleitung (3, 3', 3'') verbunden sind, wobei über die Steueranschlüsse (S1, S2) der dritten und der vierten Transistoren (5, 51, 52, 53, 54, 6, 61, 62, 63, 64) jeweils mindestens einer der dritten Transistoren (5, 51, 52, 53, 54) und/oder einer der vierten Transistoren (6, 61, 62, 63, 64) so auf Durchlass schaltbar sind, dass sich der Abschlusswiderstand aus der Zusammenschaltung des/ der jeweiligen Durchlasswiderstände der auf Durchlass geschalteten dritten Transistoren (5, 51, 52, 53, 54) und/ oder der auf Durchlass geschalteten vierten ...



[0001] Die Erfindung betrifft eine integrierte Schaltung mit einer Referenzspannungsquelle für eine Eingangsschaltung.

[0002] In integrierten Schaltungen sind Eingangsschaltungen vorgesehen, um Signale über eine Busleitung zu empfangen und dann innerhalb der integrierten Schaltung weiterzuverarbeiten. Um zu erkennen, ob auf der Busleitung gerade ein High- oder ein Low-Signal anliegt, vergleicht man das Signal auf der Busleitung im Allgemeinen mit einer Referenzspannung V_{Ref} , die zwischen den vorbestimmten Pegeln des High- und des Low-Signales liegt. Liegt der Spannungspegel des empfangenen Signals unterhalb der Referenzspannung V_{Ref} , wird ein Low-Zustand, liegt er darüber, wird ein High-Zustand erkannt.

[0003] Üblicherweise wird bisher die Referenzspannung V_{Ref} über einen besonderen externen Anschluss der integrierten Schaltung von außen zugeführt. Dies hat den Nachteil, dass ein weiterer Anschluss für die integrierte Schaltung vorgesehen sein muss und dass neben der oder den Versorgungsspannungen auch die Referenzspannung extern zur Verfügung gestellt sein muss.

[0004] Eine weitere Alternative besteht darin, die Referenzspannung V_{Ref} durch einen Generator in der integrierten Schaltung zu erzeugen. Das Vorsehen eines Generators erfordert jedoch zusätzliche Chipfläche.

[0005] Um einen unerwünschten Spannungsabfall über längere Zuleitungen zu den Eingangsschaltungen zu vermeiden, müssen externe Anschlüsse und/oder Spannungsgeneratoren in Nähe der Eingangsschaltungen, d. h. für jede oder für mehrere nebeneinander liegende Eingangsschaltungen vorgesehen sein.

[0006] Darüber hinaus ist es vorteilhaft, die Referenzspannung V_{Ref} auf eine Terminierungsspannung VTT einstellen zu können. Die Terminierungsspannung VTT wird durch einen Abschlusswiderstand eingestellt, der mit der Eingangsschaltung verschaltet ist, so dass die Busleitung für das Signal optimal abgeschlossen ist. Folglich wird das Signal auf der Busleitung nicht an der Eingangsschaltung reflektiert.

[0007] Es ist Aufgabe der vorliegenden Erfindung, eine Eingangsschaltung für eine integrierte Schaltung zur Verfügung zu stellen, bei der die Referenzspannung auf einfache Weise zur Verfügung gestellt wird und bei der gleichzeitig das Signal an der Eingangsschaltung nicht reflektiert wird.

[0008] Diese Aufgabe wird durch die integrierte Schaltung nach Anspruch 1 gelöst. Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0009] Erfindungsgemäß ist eine integrierte Schaltung vorgesehen, die eine Eingangsschaltung zum Empfangen eines Signals über eine Busleitung aufweist. Die Eingangsschaltung umfasst eine einstellbare Referenzspannungsquelle zum Bereitstellen einer Referenzspannung und eine Vergleicherschaltung. An einen ersten Eingang der Vergleicherschaltung ist die Referenzspannung und an einen zweiten Eingang der Vergleicherschaltung das Signal angelegt. Auf diese Weise wird ein Spannungspegel des Signals mit der Referenzspannung verglichen. Die Vergleicherschaltung stellt abhängig von dem Vergleichsergebnis einen Signalwert des anliegenden Signals zur Verfügung. Die Referenzspannungsquelle stellt die einstellbare Referenzspannung an einem Referenzspannungsausgang zur Verfügung. Es sind ein oder mehrere erste Transistoren vorgesehen, die jeweils mit einem ersten Anschluss mit einem hohen Versorgungsspannungspotenzial verbunden sind und mit einem zweiten Anschluss mit dem Referenzspannungsausgang verbunden

sind. Es sind weiterhin ein oder mehrere zweite Transistoren vorgesehen, die jeweils mit einem ersten Anschluss mit einem niedrigen Versorgungsspannungspotenzial und mit einem zweiten Anschluss mit dem Referenzspannungsausgang verbunden sind. Die Steueranschlüsse der ersten und der zweiten Transistoren sind jeweils so geschaltet, z. B. durch eine Referenzspannungssteuereinheit, um mindestens einen der ersten Transistoren und mindestens einen der zweiten Transistoren auf Durchlass zu schalten und die Referenzspannung als Zusammenschaltung der jeweiligen Durchlasswiderstände der auf Durchlass geschalteten ersten Transistoren und der auf Durchlass geschalteten zweiten Transistoren einzustellen.

[0010] Häufig sind Eingangsschaltungen von integrierten Schaltungen bidirektional ausgeführt, so dass neben der Fähigkeit der Schaltung, ein Signal zu empfangen, auch die Möglichkeit vorgesehen ist, ein Signal auf die Busleitung zu senden. Dies wird beispielsweise mit Treiberschaltungen durchgeführt, die identisch zu der Referenzspannungsquelle in der erfindungsgemäßen integrierten Schaltung aufgebaut sind, wobei jedoch beim Betrieb als Treiberschaltung die Steueranschlüsse der ersten und zweiten Transistoren so angesteuert sind, dass entweder nur das hohe Versorgungsspannungspotenzial oder das niedrige Versorgungsspannungspotenzial auf die Busleitung angelegt wird, um so ein zu sendendes Signal von der integrierten Schaltung auf die Busleitung zu legen.

[0011] Beim Empfangen von Signalen durch die Eingangsschaltung bleibt die Treiberschaltung in der Regel ungenutzt. Die ungenutzte Treiberschaltung kann über die Steueranschlüsse des oder der ersten Transistoren bzw. des oder der zweiten Transistoren so angesteuert werden, dass an ihrer Ausgangsleitung, die üblicherweise beim Senden des Signals mit der Busleitung verbunden ist, eine Spannung anliegt, die zwischen dem hohen Versorgungsspannungspotenzial und dem niedrigen Versorgungsspannungspotenzial liegt. Die Spannung wird durch die Durchlasswiderstände jeweils der eingeschalteten ersten und der eingeschalteten zweiten Transistoren bestimmt. Die dadurch gebildete Spannung kann beispielsweise durch eine geeignete Schalteinrichtung von der Busleitung getrennt und mit dem ersten Eingang der Vergleicherschaltung verbunden werden.

[0012] Auf diese Weise ist es möglich, den Aufwand für eine integrierte Referenzspannungsquelle zu minimieren, da man jeweils nicht genutzte Treiberschaltungen bei Eingangsschaltungen, die zum Empfangen eines Signals geschaltet sind, als Referenzspannungsquelle für Eingangsschaltungen nutzen kann.

[0013] Weiterhin können derartige Treiberschaltungen auch zur Generierung eines Abschlusswiderstandes verwendet werden, indem mindestens einer der ersten Transistoren und mindestens einer der zweiten Transistoren auf Durchlass geschaltet sind und der Ausgang der Treiberschaltung an die Busleitung angeschlossen ist. Das auf der Busleitung angeschlossene Signal sieht dann als Abschlusswiderstand eine Parallelschaltung der Durchlasswiderstände der ersten und der zweiten Transistoren. Die Durchlasswiderstände einer so geschalteten Treiberschaltung bestimmen dann jedoch auch eine Terminierungsspannung VTT, die einer mittleren Spannung entspricht, um die sich das Signal auf der Busleitung bewegt, d. h. High-Signale weisen einen Spannungspegel oberhalb der Terminierungsspannung VTT und Low-Signale weisen einen Spannungspegel unterhalb der Terminierungsspannung VTT auf. Es ist daher sinnvoll, die Referenzspannung V_{Ref} so zu wählen, dass sie der Terminierungsspannung VTT entspricht. Erfindungsgemäß kann das erreicht werden, indem man eine Schaltung für die Referenzspannungsquelle vorsieht, die der Treiberschaltung

bzw. der Schaltung zum Vorsehen des Abschlusswiderstandes entspricht.

[0014] Es kann weiterhin vorgesehen sein, dass jeweils die ersten Transistoren und jeweils die zweiten Transistoren unterschiedliche Durchlasswiderstände aufweisen. Dabei können die Durchlasswiderstände so gewählt sein, dass sie bei der erfindungsgemäßen Zusammenschaltung in Form eines Spannungsteilers die gewünschte Referenzspannung erzeugen. Auf diese Weise kann erreicht werden, dass auch Referenzspannungen, die von der Mittenspannung zwischen dem hohen Versorgungsspannungspotenzial und dem niedrigen Versorgungsspannungspotenzial abweichen, erzeugt werden können.

[0015] Es ist vorgesehen, dass der zweite Eingang der Vergleichereinrichtung mit einer Terminierungsschaltung verbunden ist. Die Terminierungsschaltung stellt einen einstellbaren Abschlusswiderstand für das Signal auf der Busleitung zur Verfügung. Sie weist einen oder mehrere dritte Transistoren auf, die jeweils mit einem ersten Anschluss mit einem hohen Versorgungsspannungspotenzial und mit einem zweiten Anschluss mit der Busleitung verbunden sind. Die Terminierungsschaltung weist weiterhin einen oder mehrere vierte Transistoren auf, die jeweils mit einem ersten Anschluss mit einem niedrigen Versorgungsspannungspotenzial und mit einem zweiten Anschluss mit der Busleitung verbunden sind. Die Steueranschlüsse der dritten und der vierten Transistoren sind jeweils so geschaltet, z. B. durch eine Terminierungssteuereinheit, um mindestens einen der dritten Transistoren und/oder einen der vierten Transistoren so auf Durchlass zu schalten, dass sich der Abschlusswiderstand aus dem einzelnen Durchlasswiderstand oder der Zusammenschaltung der jeweiligen Durchlasswiderstände der auf Durchlass geschalteten dritten Transistoren und der auf Durchlass geschalteten vierten Transistoren eingestellt werden kann.

[0016] Auf diese Weise wird eine Terminierung der Busleitung erreicht, wobei der Abschlusswiderstand aus auf geeignete Weise angesteuerte Transistoren gebildet wird. Die so gebildete Terminierungsschaltung stellt eine Mittenspannung zur Verfügung, um die sich das auf der Busleitung liegende Signal bewegt. Vorzugsweise ist dabei vorgesehen, dass die Referenzspannungsquelle und die Terminierungsschaltung baugleich aufgebaut sind, so dass die Anzahl und der Typ des oder der ersten Transistoren und des oder der dritten Transistoren sowie die Anzahl und der Typ des oder der zweiten Transistoren und des oder der vierten Transistoren gleich sind. Auf diese Weise kann die Referenzspannungsquelle eine Referenzspannung erzeugen, die gleich der Terminierungsspannung der Terminierungsschaltung ist. Dazu ist vorzugsweise vorgesehen, dass die ersten Transistoren und die dritten Transistoren gleichermaßen über die jeweiligen Steueranschlüsse angesteuert werden und dass die zweiten Transistoren und die vierten Transistoren gleichermaßen über die jeweiligen Steueranschlüsse angesteuert werden.

[0017] Durch den baugleichen Aufbau der Referenzspannungsquelle und der Terminierungsschaltung ist es mit einfachen Mitteln möglich, die Terminierungsspannung und die Referenzspannung den gleichen Spannungspegel zuzuweisen, ohne dass ein aufwendiger Aufbau einer Referenzspannungsquelle notwendig ist.

[0018] Zusätzlich zu den dritten Transistoren und den vierten Transistoren können ein dritter Widerstand bzw. ein vierter Widerstand vorgesehen sein, die jeweils parallel zu den dritten Transistoren bzw. den vierten Transistoren geschaltet sind. Auf diese Weise kann der Abschlusswiderstand der Terminierungsschaltung genauer eingestellt werden.

[0019] Vorzugsweise ist die Terminierungsschaltung und die Referenzspannungsquelle in der integrierten Schaltung benachbart angeordnet. Auf diese Weise kann erreicht werden, dass die Parameter der jeweiligen ersten und dritten Transistoren sowie die Parameter der jeweiligen zweiten und vierten Transistoren nahezu identisch sind. Dies hat den Vorteil, dass bei gleicher Beschaltung der ersten und zweiten Transistoren der Referenzspannungsquelle und der dritten und vierten Transistoren der Terminierungsschaltung Terminierungsspannung und Referenzspannung gleiches Potenzial aufweisen.

[0020] Um auch die Referenzspannung der Referenzspannungsquelle exakt einstellen zu können, kann in der Referenzspannungsquelle ein erster Widerstand parallel zu den ersten Transistoren und/oder ein zweiter Widerstand parallel zu den zweiten Transistoren vorgesehen sein, um die Referenzspannung genauer einstellen zu können und insbesondere die Referenzspannung auf die Terminierungsspannung einzustellen.

[0021] Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

[0022] Fig. 1A ein Blockschaltbild einer Eingangsschaltung einer integrierten Schaltung nach dem Stand der Technik;

[0023] Fig. 1B eine Ausgestaltung einer Terminierungsschaltung für eine Eingangsschaltung nach Fig. 1A;

[0024] Fig. 1C eine weitere Ausgestaltung einer Terminierungsschaltung für eine Eingangsschaltung nach Fig. 1A;

[0025] Fig. 2 eine erste Ausführungsform der Erfindung; und

[0026] Fig. 3 eine Anordnung von zwei erfindungsgemäßen Schaltungen; und

[0027] Fig. 4 eine zweite Ausführungsform der Erfindung.

[0028] Fig. 1A zeigt eine bidirektionale Eingangsschaltung für eine integrierte Schaltung. Die Eingangsschaltung 1 weist eine Vergleicherschaltung 2 auf, an dessen ersten Eingang 21 eine Referenzspannung V_{Ref} angelegt ist. An einen zweiten Eingang 22 der Vergleichereinrichtung 2 ist eine Busleitung 3, auf der ein zu empfangendes Signal übertragen wird, angelegt. Die Vergleichereinrichtung 2 weist einen Ausgang 23 auf, an dem ein logischer Datenwert des an der Busleitung 3 anliegenden Signals ausgegeben wird. Der logische Datenwert entspricht einer logischen "1", wenn der Spannungspegel des auf der Busleitung 3 anliegenden Signals größer als V_{Ref} ist und entspricht einer logischen "0", wenn der Spannungspegel auf der Busleitung 3 kleiner als die Referenzspannung V_{Ref} ist. Die Eingangsschaltung 1 weist weiterhin eine Treiberschaltung 4 auf, über die Signale, die an einem Eingang 41 der Treiberschaltung 4 anliegen, auf die Busleitung 3 getrieben werden können. Dann ist die Vergleichereinrichtung 2 inaktiv geschaltet oder der logische Datenwert an Ausgang 23 wird nicht ausgewertet. Die Treiberschaltung 4 ist über einen Ausgang 42 der Treiberschaltung 4 mit der Busleitung 3 verbunden.

[0029] Die Referenzspannung V_{Ref} für eine Eingangsschaltung 1 kann beispielsweise extern über einen gesonderten Anschluss der integrierten Schaltung zugeführt werden. Es kann weiterhin vorgesehen sein, dass die Referenzspannung V_{Ref} intern durch einen chipinternen Spannungsgenerator erzeugt wird. Dazu ist es vorteilhaft, dass die Referenzspannung V_{Ref} im Wesentlichen so eingestellt ist, dass sie der Spannungsmitte zwischen dem Pegel für ein logisches "1"-Signal und dem Spannungspegel für ein logisches "0"-Signal auf der Busleitung 3 entspricht.

[0030] In Fig. 1B ist ein mögliches Ausführungsbeispiel für die Treiberschaltung 4 gezeigt. Die Treiberschaltung 4 weist einen ersten Transistor 5, einen p-Kanal-Transistor

und einen zweiten Transistor 6, einen n-Kanal-Transistor 6 auf. Ein erster Anschluss des p-Kanal-Transistors 5 ist mit einem Versorgungsspannungspotenzial VDD und ein zweiter Anschluss des p-Kanal-Transistors 5 ist mit der Busleitung 3 und einem ersten Anschluss des n-Kanal-Transistors 6 verbunden. Ein zweiter Anschluss des n-Kanal-Transistors 6 ist mit einem Massepotenzial GND verbunden. Abhängig von dem an den Steuereingängen des p-Kanal- und n-Kanal-Transistors 5, 6 angelegten Signal wird entweder das Versorgungsspannungspotenzial VDD oder das Massepotenzial GND auf die Busleitung 3 angelegt.

[0031] Wenn Signale über die Busleitung 3 empfangen werden sollen, werden die beiden Transistoren 5, 6 auf Durchlass geschaltet, so dass sie die jeweiligen Durchlasswiderstände der Transistoren 5, 6 einen gemeinsamen Abschlusswiderstand bilden. Folglich werden die Signale auf der Busleitung 3 in der Eingangsschaltung nicht reflektiert. Somit gelangt kein reflektiertes Signal auf die Busleitung, und das ursprüngliche Signal wird nicht überlagert.

[0032] In Fig. 1C ist eine weitere Möglichkeit gezeigt, einen Abschlusswiderstand mit Widerständen R1, R2 anstelle von Transistoren 5, 6 zu bilden. Auch Kombinationen aus einem Widerstand und einem Transistor sind denkbar. Insbesondere bei höherfrequenten Signalen auf der Busleitung 3 ist es notwendig, den Abschlusswiderstand entsprechend anzupassen, so dass störende Signalreflexionen vermieden werden können.

[0033] Der Abschlusswiderstand entspricht einer Parallelschaltung der Durchlasswiderstände der beiden Transistoren 5, 6 bzw. der beiden Widerstände R1, R2 und errechnet sich im Falle der Widerstände aus

$$R_{TT} = \frac{(R_1 \cdot R_2)}{(R_1 + R_2)}$$

[0034] Der Abschlusswiderstand ist idealerweise so gewählt, dass er dem Wellenwiderstand der Busleitung 3 entspricht. In diesem Fall entsteht am Abschlusswiderstand ein so genannter Wellensumpf, an dem kein Signal reflektiert wird.

[0035] Durch die geeignete Dimensionierung der Widerstände R1 und R2 bzw. der Durchlasswiderstände der beiden Transistoren 5, 6 aus Fig. 1B stellt man die Terminierungsspannung VTT ein, die von der Terminierungsschaltung bzw. der Treiberschaltung 4 generiert wird. Durch geeignete Wahl der Widerstände R1 und R2 kann die gewünschte Terminierungsspannung VTT eingestellt werden, wobei diese im Allgemeinen

$$V_{TT} = V_{low} + \frac{(V_{high} - V_{low})}{2}$$

ist und damit im Wesentlichen in der Mitte zwischen dem Versorgungsspannungspotenzial VDD und dem Massepotenzial GND liegt.

[0036] Vorzugsweise liegt die Referenzspannung VRef der Empfangsschaltung im Allgemein ebenfalls genau in der Mitte zwischen dem High- und dem Low-Pegel und entspricht damit in etwa der Terminierungsspannung VTT. Man kann nun in vorteilhafter Weise, für die Generierung der Referenzspannung VRef dieselbe Schaltung verwenden, die auch zur Erzeugung der Terminierungsspannung VTT verwendet wird. Dies ist in einer Ausführungsform in der Fig. 2 dargestellt.

[0037] In einem Empfangsmodus der Eingangsschaltung 1 sind die ersten und zweiten Treibertransistoren 5, 6 so an-

gesteuert, dass sie einen Abschlusswiderstand für die Busleitung 3 bilden und eine Terminierungsspannung VTT zur Verfügung stellen. Dazu wird ein Steuereingang S1 des ersten Treibertransistors 5 mit einem ersten Steuersignal und ein Steuereingang S2 des zweiten Treibertransistors 6 mit einem zweiten Steuersignal so geschaltet, dass beide Treibertransistoren 5, 6 auf Durchlass geschaltet sind, so dass die Durchlasswiderstände sowohl den Abschlusswiderstand bilden als auch die Terminierungsspannung an dem zweiten Anschluss des ersten Transistors 5 bzw. an dem ersten Anschluss des zweiten Transistors 6 zur Verfügung stellen. Das erste Steuersignal und das zweite Steuersignal werden von einer Treibersteuerschaltung 13 zur Verfügung gestellt.

[0038] Die Treibersteuerschaltung 13 legt in einem Sendemodus der Eingangsschaltung ein in der integrierten Schaltung generiertes Signal S auf beide Steuereingänge S1, S2 der ersten und zweiten Transistoren 5, 6 an. Dadurch wird jeweils nur einer der beiden Transistoren 5, 6 durchgeschaltet, so dass entweder das hohe Versorgungsspannungspotenzial VDD oder das niedrige Versorgungsspannungspotenzial GND auf die Busleitung 3 gelegt wird. Befindet sich die Eingangsschaltung 1 im Empfangsmodus, werden das erste Steuersignal und das zweite Steuersignal durch die Treibersteuerschaltung 13 so geschaltet, dass der erste und der zweite Transistor 5, 6 auf Durchlass geschaltet sind.

[0039] Es ist weiterhin eine Referenzspannungsquelle 9 vorgesehen, die einen dritten Transistor 7 und einen vierten Transistor 8 aufweist. Ein erster Anschluss des dritten Transistors 7 ist mit dem Versorgungsspannungspotenzial VDD und ein zweiter Anschluss des dritten Transistors 7 ist mit einem ersten Anschluss des vierten Transistors 8 verbunden. Ein zweiter Anschluss des vierten Transistors 8 ist mit dem Massepotenzial GND verbunden. Der zweite Anschluss des dritten Transistors 7 bzw. der erste Anschluss des vierten Transistors 8 ist mit dem ersten Eingang 21 der Vergleicherschaltung 2 verbunden und stellt dort eine Referenzspannung VRef zur Verfügung, die gemäß der Zusammenschaltung der Durchlasswiderstände des dritten Transistors 7 und des vierten Transistors 8 gebildet wird.

[0040] Die Referenzspannungsquelle 9 weist weiterhin eine Spannungssteuerschaltung 14 auf, die ein drittes Steuersignal an einen Steuereingang S3 des dritten Transistors 7 und ein viertes Steuersignal an einen Steuereingang S4 an dem vierten Transistor 8 anlegt. Die Spannungssteuerschaltung 14 erhält aus der integrierten Schaltung ein Signal S', das angibt, ob sich die Eingangsschaltung 1 im Empfangsmodus befindet, so dass eine Referenzspannung VRef erzeugt werden muss.

[0041] Die Terminierungsschaltung 4 und die Referenzspannungsquelle 9 sind in der integrierten Schaltung vorzugsweise nebeneinander und mit gleichen Bauelementabmessungen aufgebaut, so dass die Parameter des ersten Transistors 5 und des dritten Transistors 7 sowie des zweiten Transistors 6 und des vierten Transistors 8 identisch sind. Damit die Terminierungsspannung VTT und die Referenzspannung VRef gleiches Potenzial haben, müssen die ersten und dritten Steuersignale an den Steuereingängen S1, S3 des ersten Transistors 5 und des dritten Transistors 7 sowie die zweiten und vierten Steuersignale an den Steuereingängen S2, S4 des zweiten Transistors 6 und des vierten Transistors 8 gleich sein oder ein gleiches Schaltverhalten der betreffenden Transistoren bewirken.

[0042] Durch den benachbarten Aufbau der Terminierungsschaltung und der Referenzspannungsquelle 9 wird sichergestellt, dass die beiden Schaltungen "matchen", d. h. durch Prozess- und Temperaturgradienten verursachte Abweichungen in Treiberstärke, Widerstand usw. möglichst gering gehalten werden. Es ist ferner denkbar, dass sich die

Schaltungen in der Transistorstärke bzw. im Durchlasswiderstand unterscheiden, z. B. könnte die Treiberstärke der Referenzspannungsquelle kleiner sein als die der Terminierungsschaltung, um Leistung einzusparen, um so den Leistungsverbrauch der gesamten integrierten Schaltung zu verringern. Ein höherer Innenwiderstand der Referenzspannungsquelle 9 kann verwendet werden, weil die Referenzspannung kein dynamisches Signal ist und somit auch keinen schnellen Schaltvorgängen unterliegt.

[0043] Die Transistoren der Terminierungsschaltung 4 bzw. die Transistoren der Referenzspannungsquelle 9 können optional ganz oder teilweise durch Widerstände ersetzt werden, wobei die Widerstände so gewählt sind, dass deren Widerstandswert dem Wert des Durchlasswiderstandes des jeweiligen ersetzten Transistors entsprechen.

[0044] Da Terminierungsschaltung 4 und Referenzspannungsquelle 9 im Wesentlichen baugleich sind, können bei zwei oder mehr benachbarten Eingangsschaltungen Terminierungsschaltungen und Referenzspannungsquellen 9 gegeneinander ersetzt werden. D. h., bei zwei benachbarten Eingangsschaltungen, bei denen eine im Empfangsmodus und eine inaktiv geschaltet ist, kann die Treiberschaltung bzw. die Terminierungsschaltung der inaktiven Eingangsschaltung als Referenzspannungsquelle 9 für die sich im Empfangsmodus befindende Eingangsschaltung verwendet werden. Dazu wird die Treiberschaltung 4 entsprechend angesteuert und der Ausgang der Treiberschaltung 4 durch eine geeignete Steuerschaltung dem Referenzspannungseingang der sich im Empfangsmodus befindenden Eingangsschaltung angelegt.

[0045] Dies ist beispielsweise in Fig. 3 als Blockdiagramm dargestellt. In Fig. 3 sind eine erste Eingangsschaltung 11 und eine zweite Eingangsschaltung 12 dargestellt. Die erste und die zweite Eingangsschaltung 11, 12 sind im Wesentlichen entsprechend der in Fig. 1A dargestellten Eingangsschaltung aufgebaut. So weist die erste Eingangsschaltung 11 eine Vergleicherschaltung 2' und eine Treiberschaltung 4' auf, die auf eine erste Busleitung 3' treibt. Die zweite Eingangsschaltung 12 weist eine Vergleichereinrichtung 2'' und eine Treiberschaltung 4'' auf, die auf eine zweite Busleitung 3'' treibt. Die Treiberschaltung 4' der ersten Eingangsschaltung 11 und die Treiberschaltung 4'' der zweiten Eingangsschaltung 12 weisen jeweils zwei Steuereingänge auf, die im Empfangsmodus der Eingangsschaltungen 11, 12 so geschaltet ist, dass ein Abschlusswiderstand, wie oben beschrieben, gebildet wird.

[0046] Es ist weiterhin eine Steuerschaltung 10 vorgesehen, die mit dem Ausgang der Treiberschaltung 4' der ersten Eingangsschaltung 11 und dem Ausgang der Treiberschaltung 4'' der zweiten Eingangsschaltung 12 sowie mit den Referenzspannungseingängen der Vergleicherschaltung 2', 2'' verbunden ist. Wird eine der Eingangsschaltungen 11, 12 im Empfangsmodus betrieben und die benachbarte Eingangsschaltung 11, 12 inaktiv geschaltet, so dass die entsprechende Treiberschaltung 4', 4'' nicht verwendet wird, so kann die nicht verwendete Treiberschaltung 4', 4'' durch die Steuerschaltung 10 so an den Referenzspannungseingang V_{Ref} der Vergleicherschaltung 2', 2'' der jeweils anderen Eingangsschaltung 11, 12 angelegt werden. Auf diese Weise kann auf eine zusätzliche Referenzspannungsquelle verzichtet werden, da es beim herkömmlichen Betrieb einer integrierten Schaltung häufig der Fall ist, dass Eingangsschaltungen inaktiv sind, d. h., weder ein Signal empfangen noch ein Signal aussenden. Die Steuerschaltung 10 kann so gestaltet sein, dass mehr als zwei Eingangsschaltungen sich gegenseitig Referenzspannungen zur Verfügung stellen können, die in den jeweils nicht benutzten Treiberschaltungen 4', 4'' erzeugt werden.

[0047] In Fig. 4 ist eine weitere Ausführungsform einer bidirektionalen Eingangsschaltung mit einer Treiberschaltung 4 gezeigt, wobei die Treiberschaltung 4 vier erste 51, 52, 53, 54 und vier zweite Transistoren 61, 62, 63, 64 aufweist. Die ersten Transistoren 51, 52, 53, 54 und die zweiten Transistoren 61, 62, 63, 64 sind jeweils parallel zueinander geschaltet. Die ersten Transistoren 51, 52, 53, 54 können identische Parameter aufweisen, es kann jedoch auch mindestens einer der ersten Transistoren 51, 52, 53, 54 unterschiedliche Parameter aufweisen. Ebenso können die zweiten Transistoren 61, 62, 63, 64 identische Parameter aufweisen oder mindestens einer der zweiten Transistoren 61, 62, 63, 64 kann einen unterschiedlichen Parameter aufweisen. Die Treiberstärke der Treiberschaltung 4 kann durch die Auswahl von einem oder mehreren der ersten Transistoren 51, 52, 53, 54 und von einem oder mehreren der zweiten Transistoren 61, 62, 63, 64 bestimmt werden.

[0048] Durch die Verwendung der mehreren ersten Transistoren 51, 52, 53, 54 und der mehreren zweiten Transistoren 61, 62, 63, 64 kann der Terminierungswiderstand sehr exakt eingestellt werden. Dazu wird an jedem der Steuereingänge der ersten Transistoren 51, 52, 53, 54 sowie an jedem der Steuereingänge der zweiten Transistoren 61, 62, 63, 64 ein jeweiliges Steuersignal SelHigh0 bis SelHigh3, SelLow0 bis SelLow3 durch die Treibersteuerschaltung 13 angelegt. SelHigh0 bis SelHigh3 bzw. SelLow0 bis SelLow3 werden so ausgewählt, dass einer oder mehrere der ersten Transistoren 51, 52, 53, 54 und einer oder mehrere der zweiten Transistoren 61, 62, 63, 64 auf Durchlass geschaltet werden, so dass die Zusammenschaltung der Durchlasswiderstände den jeweiligen Terminierungswiderstand, der dem Wellenwiderstand der Busleitung 3 entspricht, bildet. Ebenso kann durch geeignete Auswahl der Steuersignale SelHigh0-SelHigh3, SelLow0-SelLow3 die Terminierungsspannung VTT eingestellt werden.

[0049] Um eine Referenzspannung V_{Ref} zu erzeugen, die der Terminierungsspannung VTT entspricht, ist eine der Treiberschaltung 4 im Wesentlichen baugleiche Referenzspannungsquelle 9 aufgebaut. Die Referenzspannungsquelle 9 kann wie zuvor in Verbindung mit Fig. 3 beschrieben, auch von einer Treiberschaltung 4 gebildet werden, die je nach Bedarf, d. h. Schaltzustand der Eingangsschaltung über eine Steuerschaltung 10 mit dem Referenzspannungseingang 21 der Vergleichereinrichtung 2 verbunden wird.

[0050] Die Referenzspannungsquelle 9 weist vier dritte Transistoren 71, 72, 73, 74 und vier vierte Transistoren 81, 82, 83, 84 auf, an deren Steuereingänge jeweils die Steuersignale SelHigh0-SelHigh3, SelLow0-SelLow3 einer Spannungssteuerschaltung 14 anliegen. Damit die Referenzspannung V_{Ref} und die Terminierungsspannung VTT identisch sind, sind die ersten bzw. dritten Transistoren mit den Steuersignalen SelHigh0-SelHigh3 vorzugsweise in gleicher Weise oder derart geschaltet, dass gleiche Spannungen ausgegeben werden. Ebenso sind die zweiten und vierten Transistoren 61, 62, 63, 64, 81, 82, 83, 84 mit den Steuersignalen SelLow0-SelLow3 geschaltet.

[0051] Um die Treiberstärke bzw. den Terminierungswiderstand oder die Terminierungsspannung VTT exakt einstellen zu können, sind die Transistorstärkeparameter der ersten Transistoren bzw. der entsprechenden zweiten Transistoren vorzugsweise so gewählt, dass sie sich um Faktor 2 unterscheiden, d. h. Transistor 54 weist gegenüber Transistor 51 die achtfache Transistorstärke, Transistor 53 weist gegenüber Transistor 51 die vierfache Transistorstärke und Transistor 52 weist gegenüber Transistor 51 die doppelte Transistorstärke auf. Entsprechend ist das Verhältnis der Transistorstärken der zweiten Transistoren 61, 62, 63, 64. Transistor 64 weist die achtfache Transistorstärke, Transi-

stor 63 weist die vierfache Transistorstärke und Transistor 62 weist die doppelte Transistorstärke wie Transistor 61 auf. Die dritten Transistoren 71, 72, 73, 74 und die vierten Transistoren 81, 82, 83, 84 sind ebenfalls mit den gleichen Verhältnissen der Transistorstärken zueinander gestaltet. Werden die ersten und dritten Transistoren mit den entsprechenden Steuersignalen SelHigh0 bis SelHigh3 in gleicher Weise und die zweiten und vierten Transistoren mit den Steuersignalen SelLow0 bis SelLow3 ebenfalls in gleicher Weise angesteuert, so liegen die Spannungspegel der Terminierungsspannung und der Referenzspannung V_{Ref} auf gleichem Potenzial. Selbstverständlich können sich die Transistorstärken auch gemäß anderen Faktoren unterscheiden.

[0052] Ein Vorteil einer solchen Schaltung liegt darin, dass Schwankungen des empfangenen Signals, die durch eine Veränderung der Terminierungsspannung VTT verursacht werden, im gleichen Moment durch eine äquivalente Veränderung der Referenzspannung V_{Ref} aufgefangen werden.

[0053] Die in der vorangehenden Beschreibung, den Ansprüchen und den Zeichnungen offenbarten Merkmale der Erfindung können sowohl einzeln als auch in beliebiger Kombination für die Verwirklichung der Erfindung in ihren verschiedenen Ausgestaltungen wesentlich sein.

Bezugszeichenliste

1 Eingangsschaltung
 2, 2', 2" Vergleicherschaltung
 3 Busleitung
 3', 3" erste, zweite Busleitung
 4, 4', 4" Treiberschaltung
 5 erster Transistor
 6 zweiter Transistor
 7 dritter Transistor
 8 vierter Transistor
 9 Referenzspannungsquelle
 10 Steuerschaltung
 11, 12 erste, zweite Eingangsschaltung
 13 Treibersteuerschaltung
 14 Spannungssteuerschaltung
 21 erster Eingang der Vergleicherschaltung 2
 22 zweiter Eingang der Vergleicherschaltung
 23 Ausgang der Vergleicherschaltung
 41 Eingang der Treiberschaltung
 42 Ausgang der Treiberschaltung
 51-54 erste Transistoren
 61-64 zweite Transistoren
 71-74 dritte Transistoren
 81-84 vierte Transistoren
 VDD Versorgungsspannungspotenzial
 GND Massepotenzial
 V_{Ref} Referenzspannung
 VTT Terminierungsspannung

Patentansprüche

1. Integrierte Schaltung mit einer Eingangsschaltung (1, 11, 12) zum Empfangen eines Signals über eine Busleitung (3, 3', 3"), wobei die Eingangsschaltung (1, 11, 12) eine einstellbare Referenzspannungsquelle (9) zum Bereitstellen einer Referenzspannung (V_{Ref}) und eine Vergleicherschaltung (2, 2', 2") umfasst, wobei an einen ersten Eingang (21) der Vergleicherschaltung (2, 2', 2") die Referenzspannung (V_{Ref}) angelegt ist und an einen zweiten Eingang der Vergleicherschaltung (22) das Signal angelegt ist, um einen Spannungspegel des Signals mit der Referenzspannung

(V_{Ref}) zu vergleichen, wobei die Vergleicherschaltung (2, 2', 2") abhängig von dem Vergleichsergebnis einen Signalwert zur Verfügung stellt, wobei die Referenzspannungsquelle (9) die einstellbare Referenzspannung an einem Ausgang zur Verfügung stellt, wobei die Referenzspannungsquelle (9) ein oder mehrere erste Transistoren (7, 71, 72, 73, 74) aufweist, die jeweils mit einem ersten Anschluss mit einem ersten Versorgungspotenzial (VDD) verbunden sind und mit einem zweiten Anschluss mit dem Ausgang (21) verbunden sind, wobei die Referenzspannungsquelle (9) zweite Transistoren (8, 81, 82, 83, 84) aufweist, die jeweils mit einem ersten Anschluss mit einem zweiten Versorgungspotenzial (GND) verbunden sind und mit einem zweiten Anschluss mit dem Ausgang verbunden sind, wobei über die Steueranschlüsse (S3, S4) der ersten und der zweiten Transistoren (7, 71, 72, 73, 74, 8, 81, 82, 83, 84) jeweils mindestens einer der ersten Transistoren (7, 71, 72, 73, 74) und mindestens einer der zweiten Transistoren (8, 81, 82, 83, 84) auf Durchlass schaltbar sind und wobei die Referenzspannung (V_{Ref}) durch eine Zusammenschaltung der Durchlasswiderstände der auf Durchlass geschalteten ersten (7, 71, 72, 73, 74) und der auf Durchlass geschalteten zweiten Transistoren (8, 81, 82, 83, 84) einstellbar ist, **dadurch gekennzeichnet**, dass der zweite Eingang (22) der Vergleichereinrichtung (2, 2', 2") mit einer Terminierungsschaltung (4, 4', 4") verbunden ist, wobei die Terminierungsschaltung (4, 4', 4") einen einstellbaren Abschlusswiderstand für das Signal auf der Busleitung (3, 3', 3") zur Verfügung stellt, wobei die Terminierungsschaltung (4, 4', 4") ein oder mehrere dritte Transistoren (5, 51, 52, 53, 54) aufweist, die jeweils mit einem ersten Anschluss mit einem weiteren ersten Versorgungspotenzial (VDD) verbunden sind und mit einem zweiten Anschluss mit der Busleitung (3, 3', 3") verbunden sind, wobei die Terminierungsschaltung (4, 4', 4") vierte Transistoren (6, 61, 62, 63, 64) aufweist, die jeweils mit einem ersten Anschluss mit einem weiteren zweiten Versorgungspotenzial (GND) verbunden sind und mit einem zweiten Anschluss mit der Busleitung (3, 3', 3") verbunden sind, wobei über die Steueranschlüsse (S1, S2) der dritten und der vierten Transistoren (5, 51, 52, 53, 54, 6, 61, 62, 63, 64) jeweils mindestens einer der dritten Transistoren (5, 51, 52, 53, 54) und/oder einer der vierten Transistoren (6, 61, 62, 63, 64) so auf Durchlass schaltbar sind, dass sich der Abschlusswiderstand aus der Zusammenschaltung des/der jeweiligen Durchlasswiderstände der auf Durchlass geschalteten dritten Transistoren (5, 51, 52, 53, 54) und/oder der auf Durchlass geschalteten vierten Transistoren (6, 61, 62, 63, 64) einstellbar ist.

2. Integrierte Schaltung nach Anspruch 1, wobei jeweils die ersten Transistoren (7, 71, 72, 73, 74) und die zweiten Transistoren (8, 81, 82, 83, 84) unterschiedliche Durchlasswiderstände aufweisen.

3. Integrierte Schaltung nach Anspruch 1 oder 2, wobei jeweils die Referenzspannung (V_{Ref}) etwa in der Mitte zwischen dem ersten Versorgungspotenzial (VDD) und dem zweiten Versorgungspotenzial (GND) liegt.

4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, dass jeweils die dritten

Transistoren (5, 51, 52, 53, 54) und die vierten Transistoren (6, 61, 62, 63, 64) unterschiedliche Durchlasswiderstände aufweisen.

5. Integrierte Schaltung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Referenzspannungsquelle (9) und die Terminierungsschaltung (4, 4', 4'') baugleich aufgebaut sind, so dass die Anzahl und der Typ des oder der ersten Transistoren (7, 71, 72, 73, 74) und des oder der dritten Transistoren (5, 51, 52, 53, 54) sowie die Anzahl und der Typ des oder der zweiten Transistoren (8, 81, 82, 83, 84) und des oder der vierten Transistoren (6, 61, 62, 63, 64) gleich sind.

6. Integrierte Schaltung nach Anspruch 5, dadurch gekennzeichnet, dass die ersten Transistoren (7, 71, 72, 73, 74) und die dritten Transistoren (5, 51, 52, 53, 54) gleichermaßen über die jeweiligen Steueranschlüsse angesteuert werden, und dass die zweiten Transistoren und die vierten Transistoren gleichermaßen über die jeweiligen Steueranschlüsse angesteuert werden, so dass die Referenzspannung V_{Ref} im Wesentlichen der Terminierungsspannung entspricht.

7. Integrierte Schaltung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass ein dritter Widerstand vorgesehen ist, der zwischen dem ersten Versorgungspotenzial (VDD) und der Busleitung (3, 3', 3'') angeschlossen ist, und/oder ein vierter Widerstand vorgesehen ist, der zwischen dem zweiten Versorgungspotenzial (GND) und der Busleitung (3, 3', 3'') angeschlossen ist.

8. Integrierte Schaltung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Terminierungsschaltung (4, 4', 4'') und die Referenzspannungsquelle (9) in der integrierten Schaltung benachbart angeordnet sind, so dass die Parameter der jeweiligen ersten (7, 71, 72, 73, 74) und dritten Transistoren (8, 81, 82, 83, 84) sowie die Parameter der jeweiligen zweiten (5, 51, 52, 53, 54) und vierten Transistoren (6, 61, 62, 63, 64) identisch sind.

9. Integrierte Schaltung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Terminierungsschaltung (9) und die Referenzspannungsquelle in der integrierten Schaltung benachbart angeordnet sind, so dass das Größenverhältnis zwischen jeweils einem der ersten (7, 71, 72, 73, 74) und dritten Transistoren (5, 51, 52, 53, 54) sowie das Größenverhältnis zwischen jeweils einem der zweiten (8, 81, 82, 83, 84) und vierten Transistoren (7, 71, 72, 73, 74) identisch sind.

10. Integrierte Schaltung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass ein erster Widerstand vorgesehen ist, der zwischen dem hohen Versorgungspotenzial (VDD) und dem Ausgang angeschlossen ist, und/oder ein zweiter Widerstand vorgesehen ist, der zwischen dem niedrigen Versorgungspotenzial (GND) und dem Ausgang angeschlossen ist.

Hierzu 4 Seite(n) Zeichnungen

- Leerseite -

FIG 1A

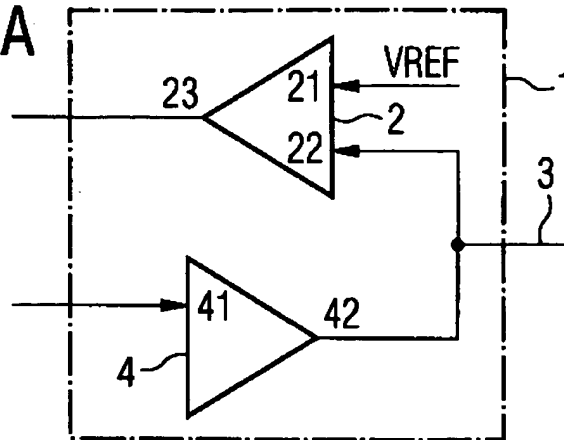


FIG 1B

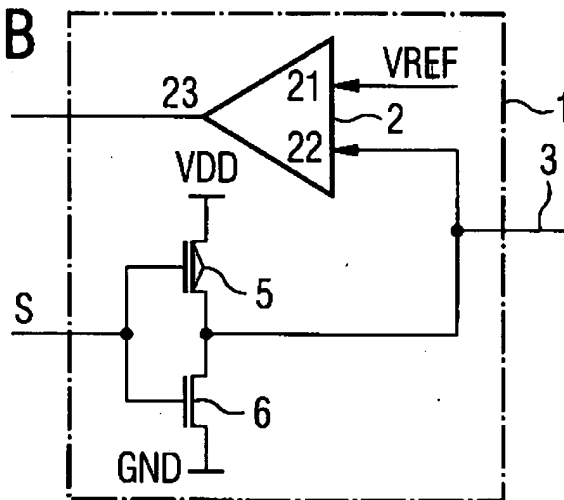


FIG 1C

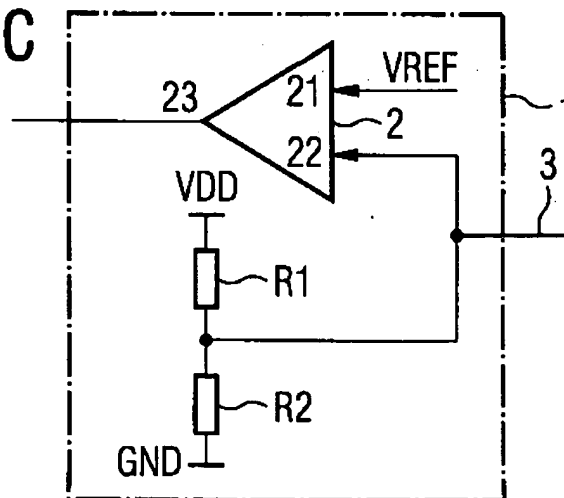


FIG 2

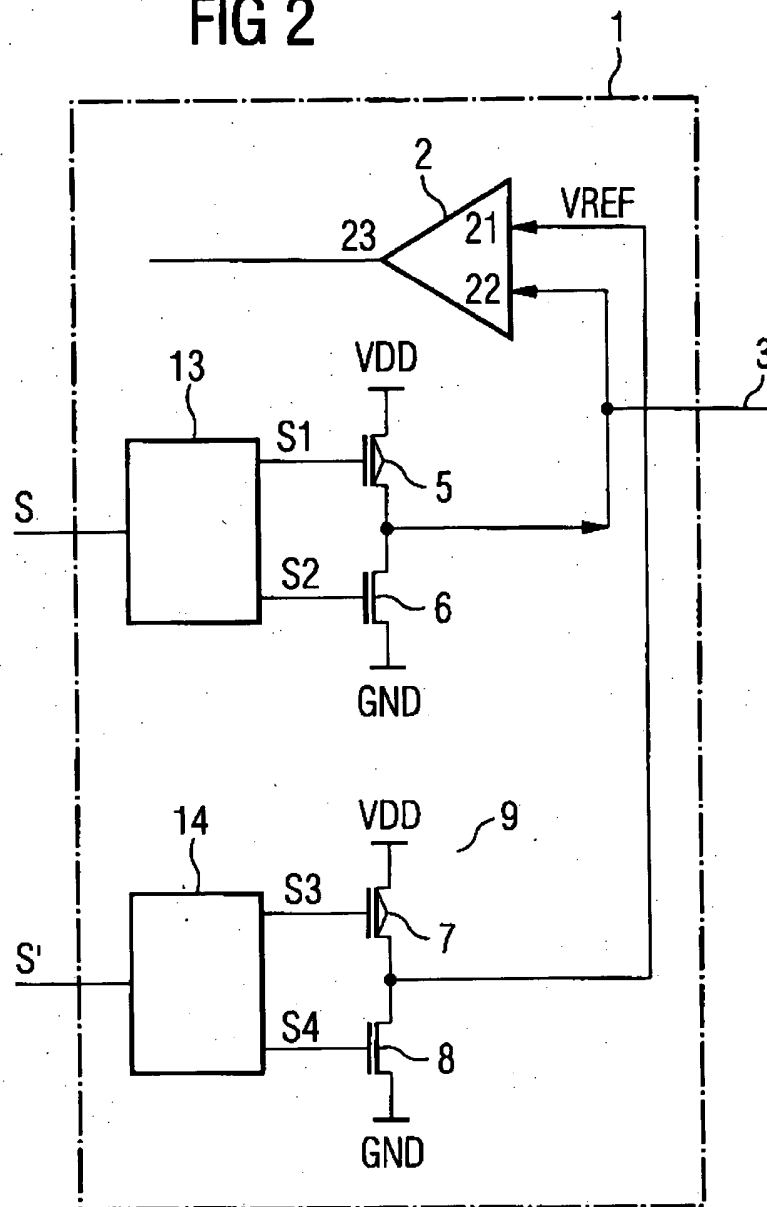


FIG 3

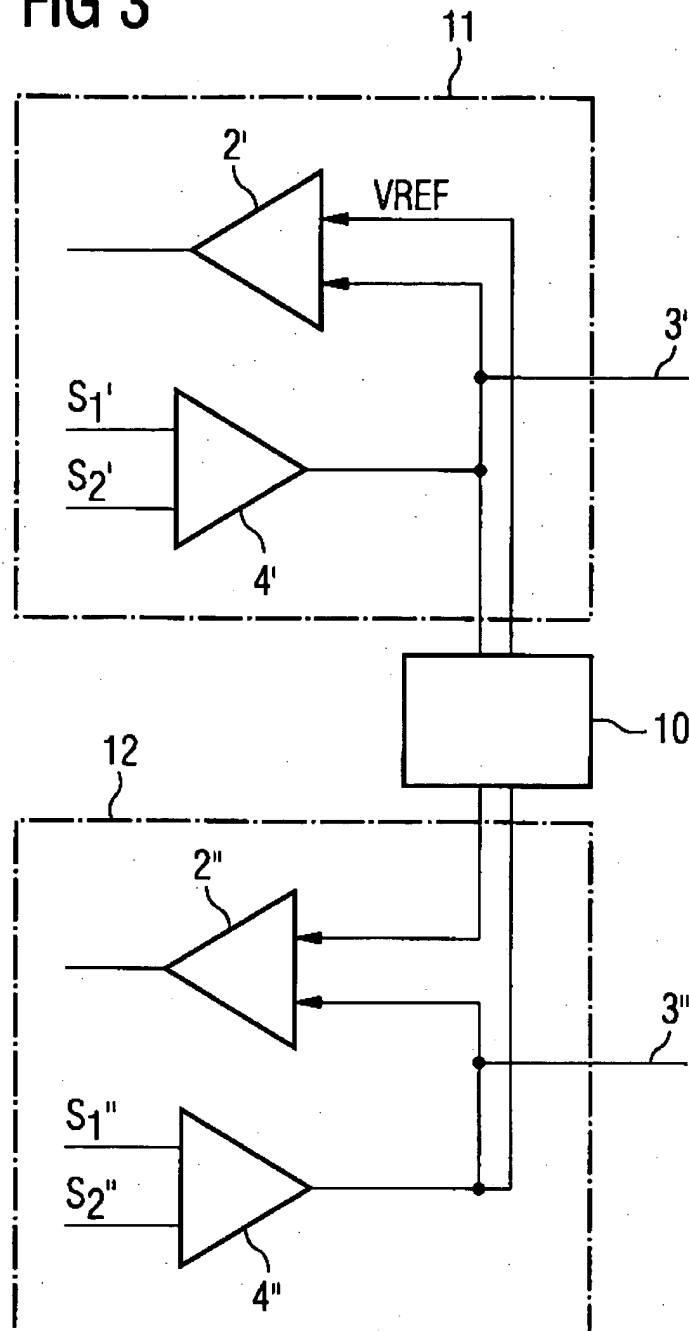


FIG 4

